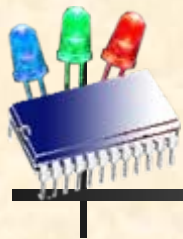


第4章触发器

触发器是一种有记忆功能的器件，它是构成时序逻辑电路的基本器件。本章讨论RS触发器、JK触发器、D触发器、T触发器的逻辑功能及其描述方法；简要介绍了触发器的动态工作特性。



- 概述
- 电路结构与工作原理
- 逻辑功能描述
- 触发器的动态工作特性





4.1 概 述

触发器(Flip-Flop, 简称FF)是构成记忆功能部件的基本单元。

在数字系统中，能够记忆1位二值代码的基本器件是**触发器**。按不同的分类方法：

电路结构形式

RS
触发器

D
触发器

JK
触发器

T
触发器

控制方式

基本RS
触发器

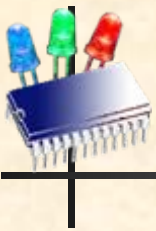
同步
触发器

主从
触发器

边沿
触发器

下面将对各种触发器加以讨论。





4.2 触发器的电路结构与逻辑功能描述

触发器应具备以下两个基本特点：

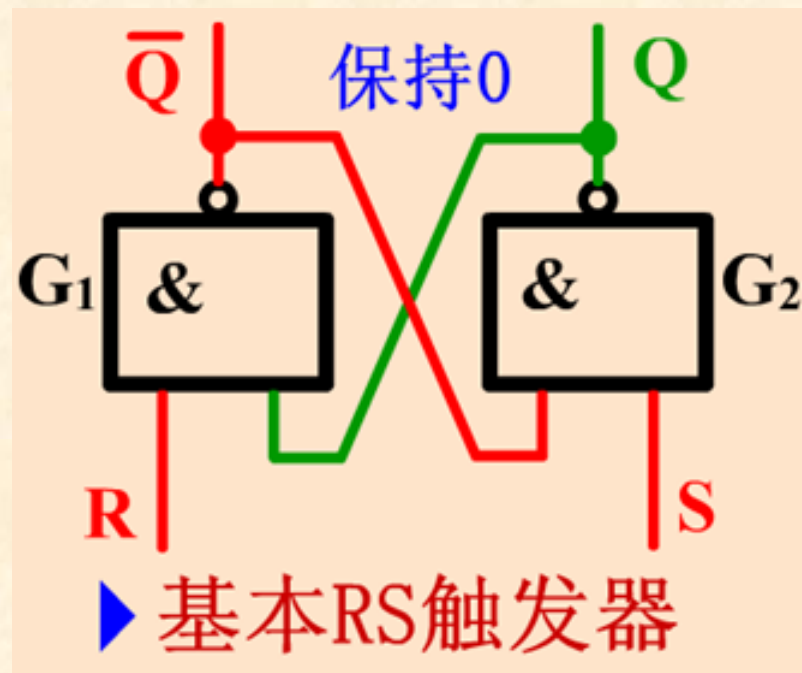
- (1) 有两种稳定状态和两个互补输出。
- (2) 根据不同的输入信号可以置成1或0状态。



4.2.1 基本RS触发器

把两个与非门 G_1 、 G_2 的输入、输出交叉连接，即可构成基本RS触发器。

R称为清0(Reset)端，S称为置1(Set)端。又由于它们都是低电平起作用，即 $S=0$ 时置位， $R=0$ 时清0。





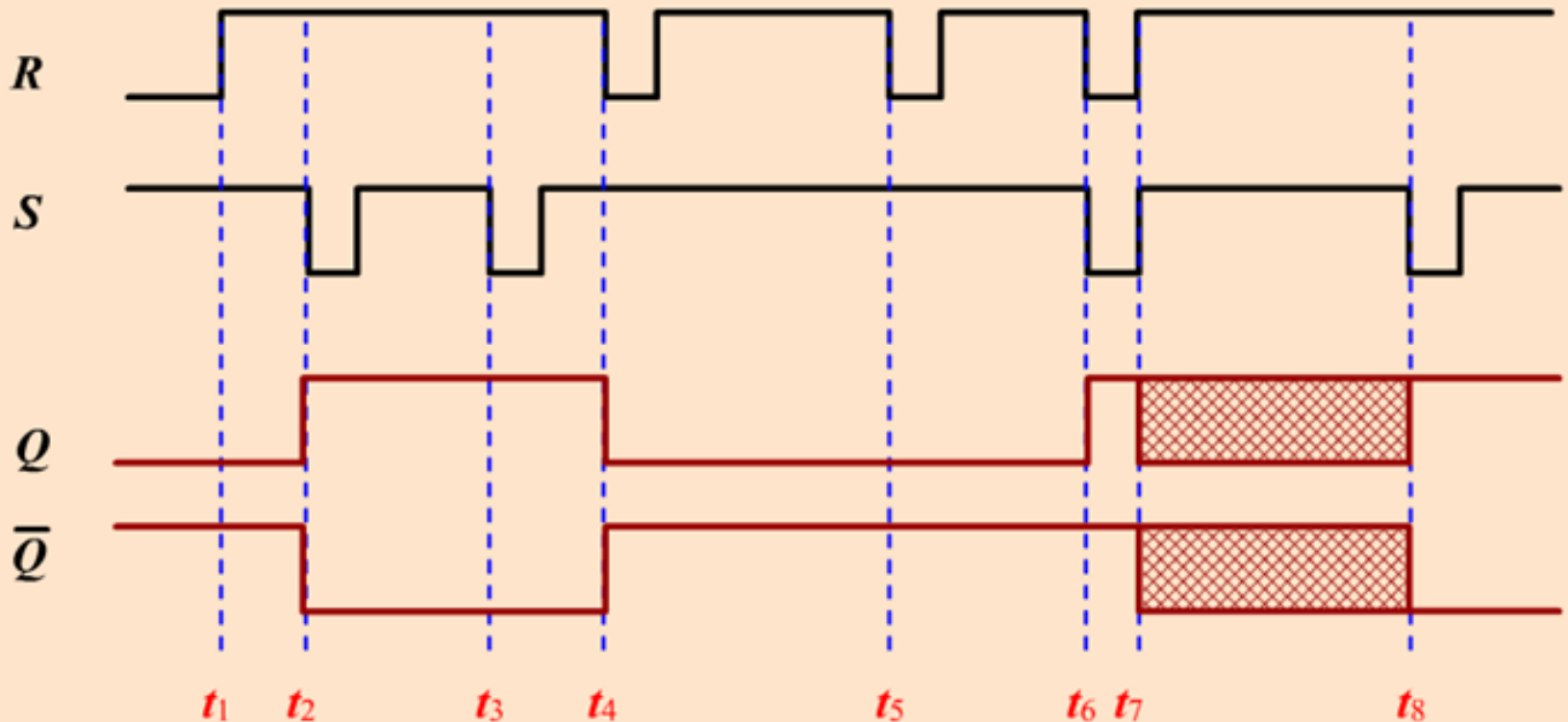
由与非门构的基本RS触发器真值表

R	S	Q	$\bar{Q}$	说 明
0	0	1*	1*	禁止输入状态，输入信号同时消失后状态不确定
0	1	0	1	置 0
1	0	1	0	置 1
1	1	Q	$\bar{Q}$	保持原状态不变

基本RS触发器有置0,置1,保持三种功能和一个约束态

例4.1如果把图中的 R 、 S 信号加到基本RS触发器的相应输入端，试分析画出 Q 和 Q' 端的波形。

图4.3的波形图表明了基本RS触发器的三种工作模式(置位、复位、保持)和状态不确定的情况。



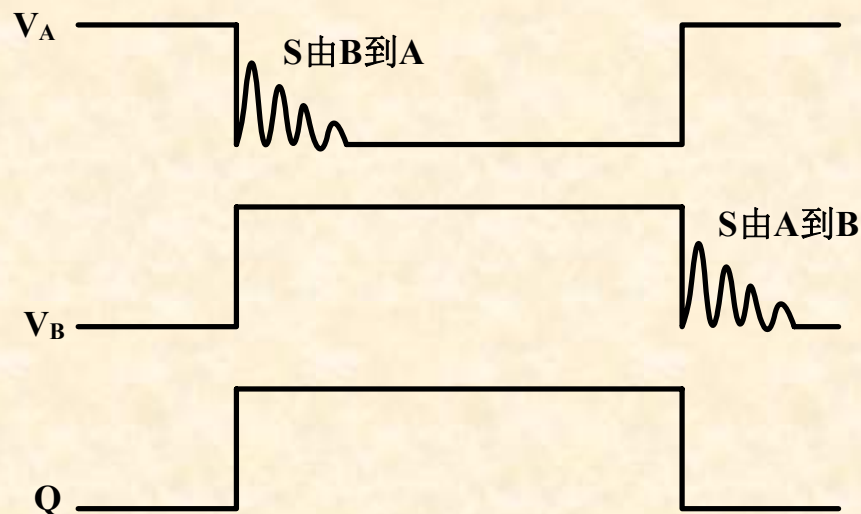
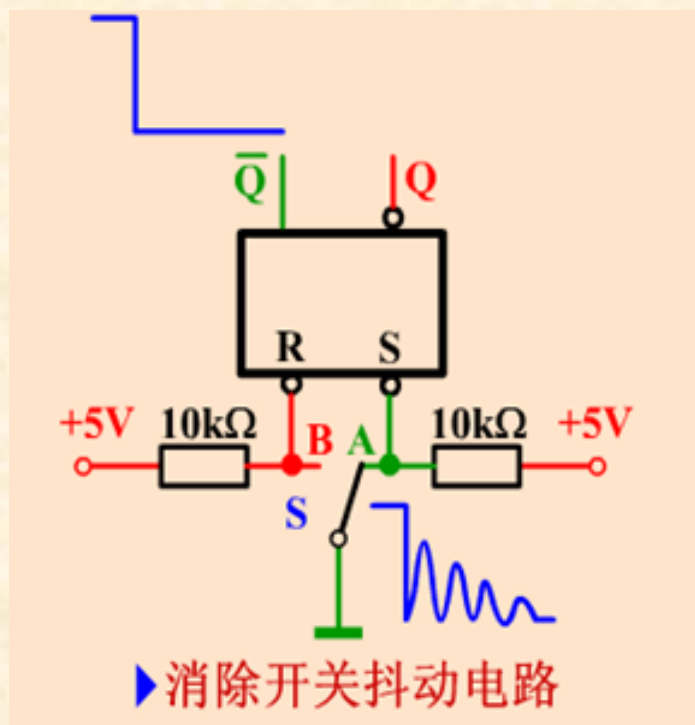
prev

基本RS触发器时序图(例4.1)



3.基本RS触发器的应用

用基本RS触发器来消除机械开关产生的抖动脉冲。



开关扳向 A 时, R_S 由 01(置 0)变为 10(置 1), 机械开关抖动只能使 S 发生 0 和 1 的变化, 对应的功能是 11(保持), 10(置 1), 不可能再使 Q 变化, 此时的 $\bar{Q}$ 波形就是无抖动的 V_A 波形。

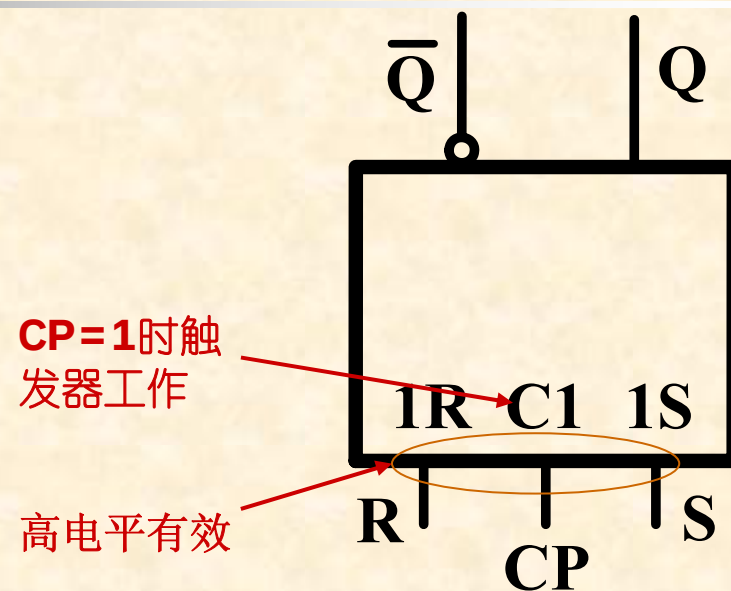
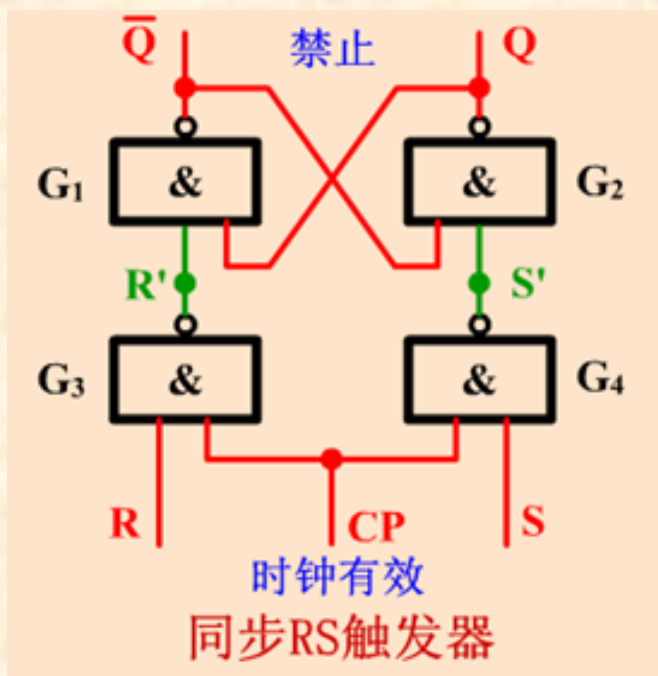


4.2.2 同步RS触发器

在数字系统中，常常要求多个触发器于同一时刻动作，为此，引入同步控制时钟脉冲信号(Clock Pulse, CP)。这种工作状态转换受时钟脉冲控制的触发器称为同步触发器或钟控制触发器。



电路结构与工作原理



同步RS触发器在CP=1期间工作,CP=0期间保持

RS输入为高电平有效,功能仍为置0,置1和保持

约束仍然存在,RS=11时会使两个输出同时为1



同步RS触发器的特性表

CP	S	R	Q^n	Q^{n+1}	说 明
0	x	x	0	0	保持原状态不变 与 R、S 无关
0	x	x	1	1	
1	0	0	0	0	保持原状态不变
1	0	0	1	1	
1	0	1	0	0	置 0
1	0	1	1	0	
1	1	0	0	1	置 1
1	1	0	1	1	
1	1	1	0	1^*	约束状态
1	1	1	1	1^*	

特性表是将输入变量和原态 Q^n 看作输入, 次态 Q^{n+1} 看作函数的真值表



(2)同步RS触发器的逻辑功能描述

除了特性表外，还有特性方程，状态转换图，时序图等。

1)特性方程

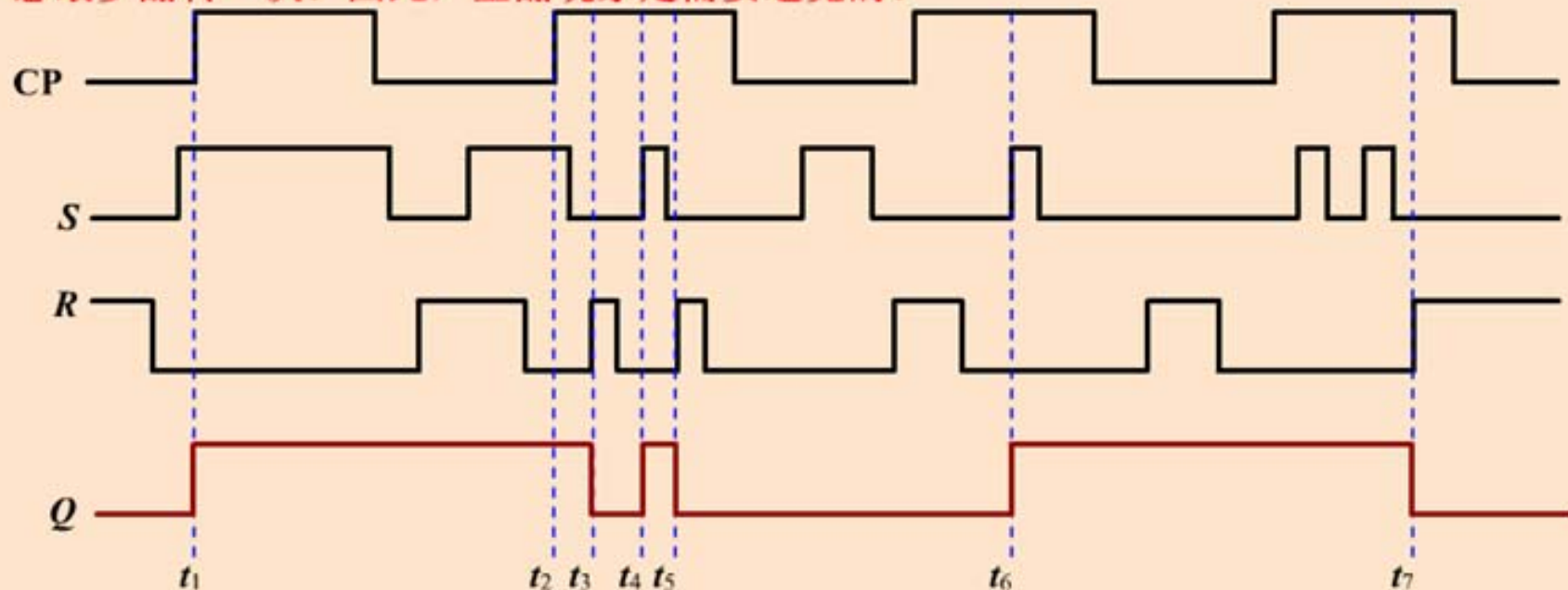
将触发器次态 Q^{n+1} 看作函数，现态 Q^n 和输入看作变量得到的表达式。(CP=1)

RS					
Q ⁿ		00	01	11	10
	0	0	1	×	0
	1	1	1	×	0

$$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ RS = 0 \quad \text{约束条件} \end{cases}$$

例4.2 如果把图中CP、R、S的输入信号加到同步RS触发器的对应输入端，并设Q的初态为0，试分析画出Q端的波形。

在第二个时钟脉冲高电平期间，在 t_2 至 t_5 段，由于输入信号R、S的多次变化，致使Q的状态发生多次翻转，这种现象叫做空翻。引入时钟控制希望每来一个时钟脉冲，状态最多翻转一次。因此，空翻现象是需要避免的。

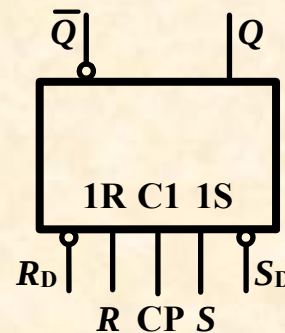
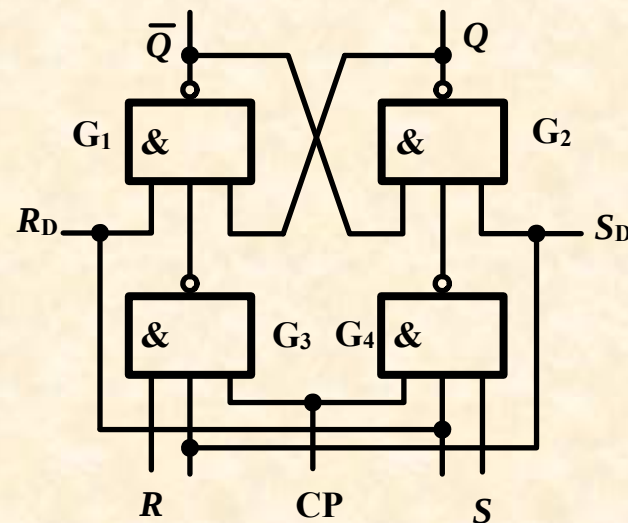


同步RS触发器时序图(例4.2)



有异步输入端的同步RS触发器

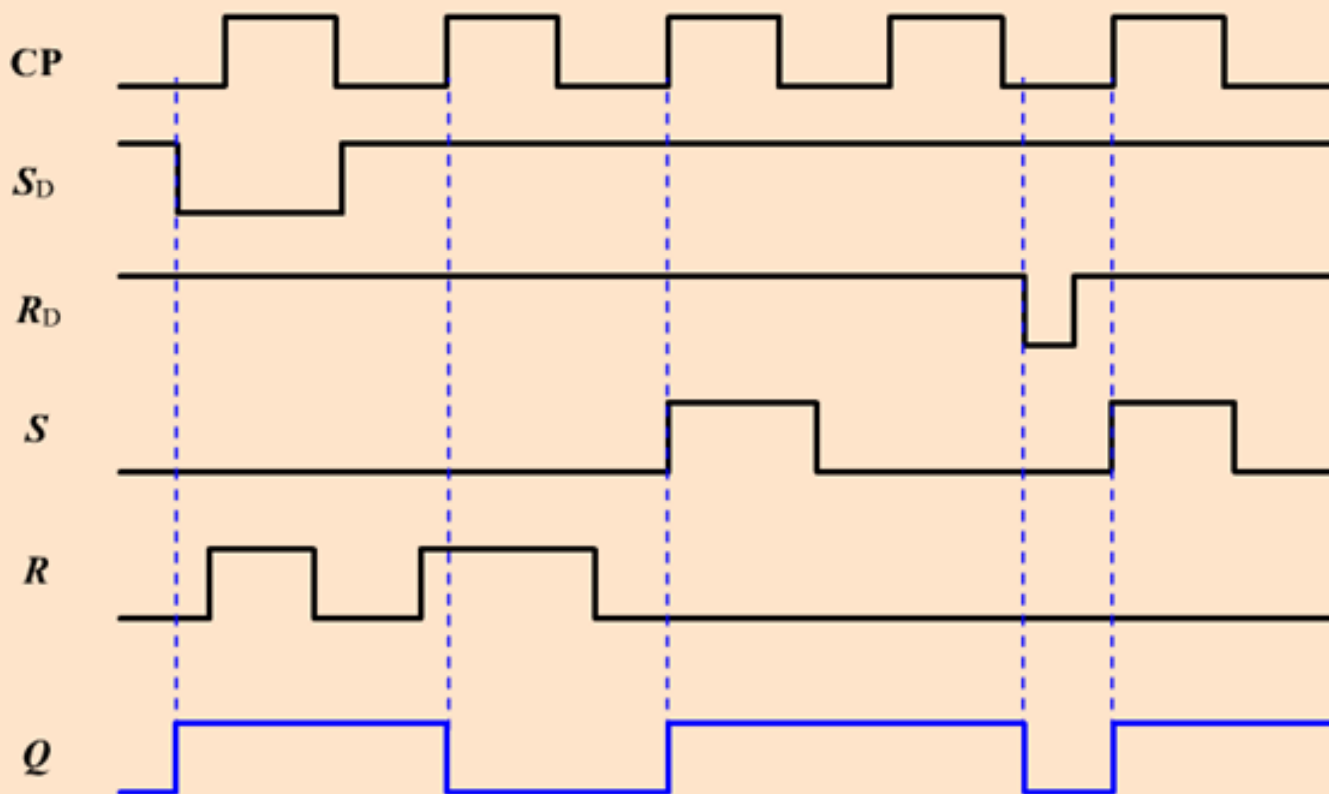
右图为增加了异步输入端 S_D 、 R_D 的同步RS触发器电路和逻辑符号。 R_D 、 S_D 输入信号可以独立于时钟脉冲而直接影响触发器的状态，即直接置位输入信号有效会使触发器置位，而直接复位输入信号有效会使触发器复位。此处异步输入是低电平有效，对于同步操作，异步输入端必须处于无效状态即保持高电平。



例4.3如果把下图中CP、 R_D 、 S_D 、 R 、 S 的输入信号加到有异步输入端的同步RS触发器的对应输入端，并设Q的初态为0，试分析画出Q端的波形。

例4.3

异步输入信号的优先级别高于时钟信号和同步输入信号，而且一般是低电平有效。

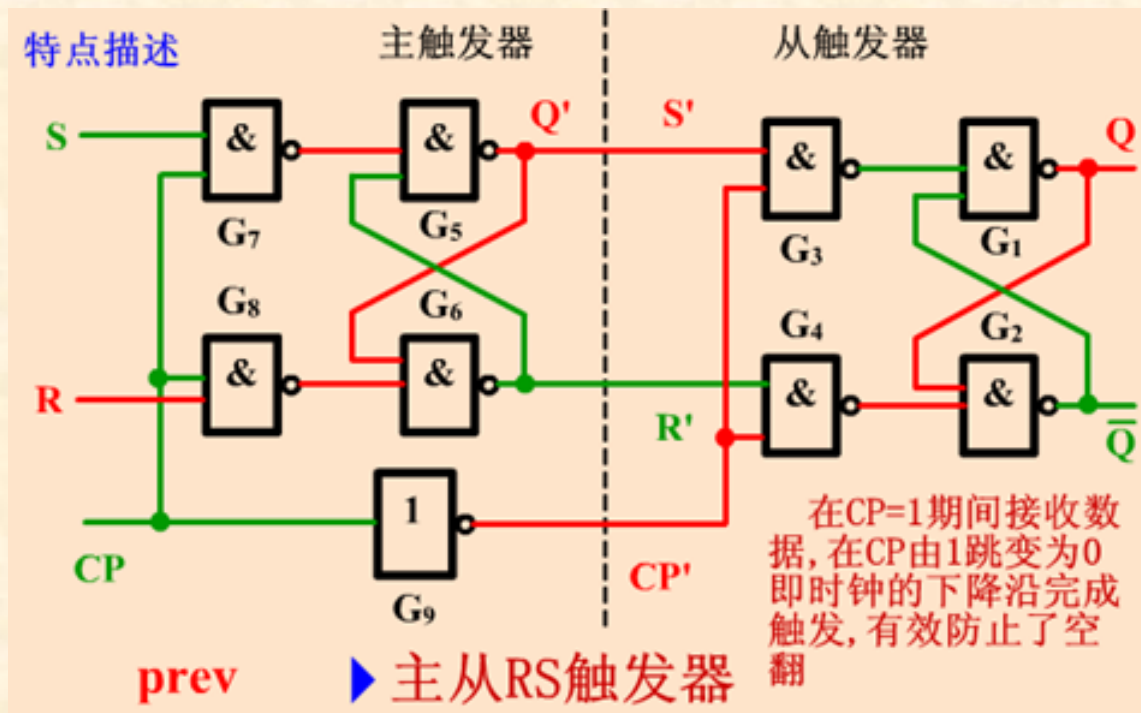
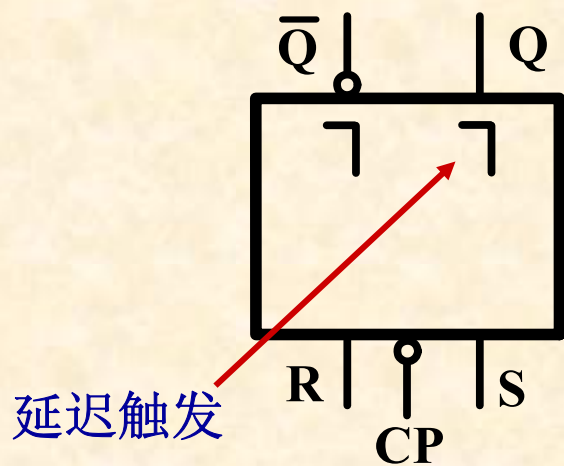


prev 具有异步输入的同步RS触发器的时序图(例4.3)



4.2.3 主从触发器

1. 主从RS触发器



解决了同步RS触发器在CP=1期间, 输出状态随着输入信号的改变而变化的问题。

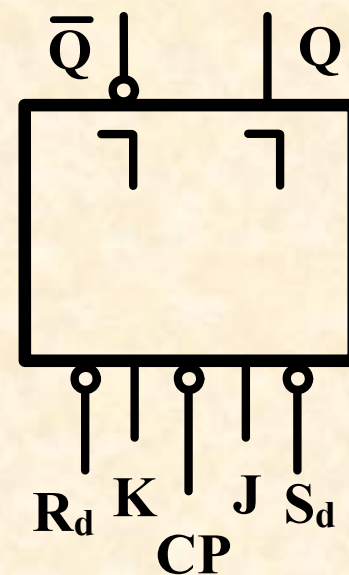
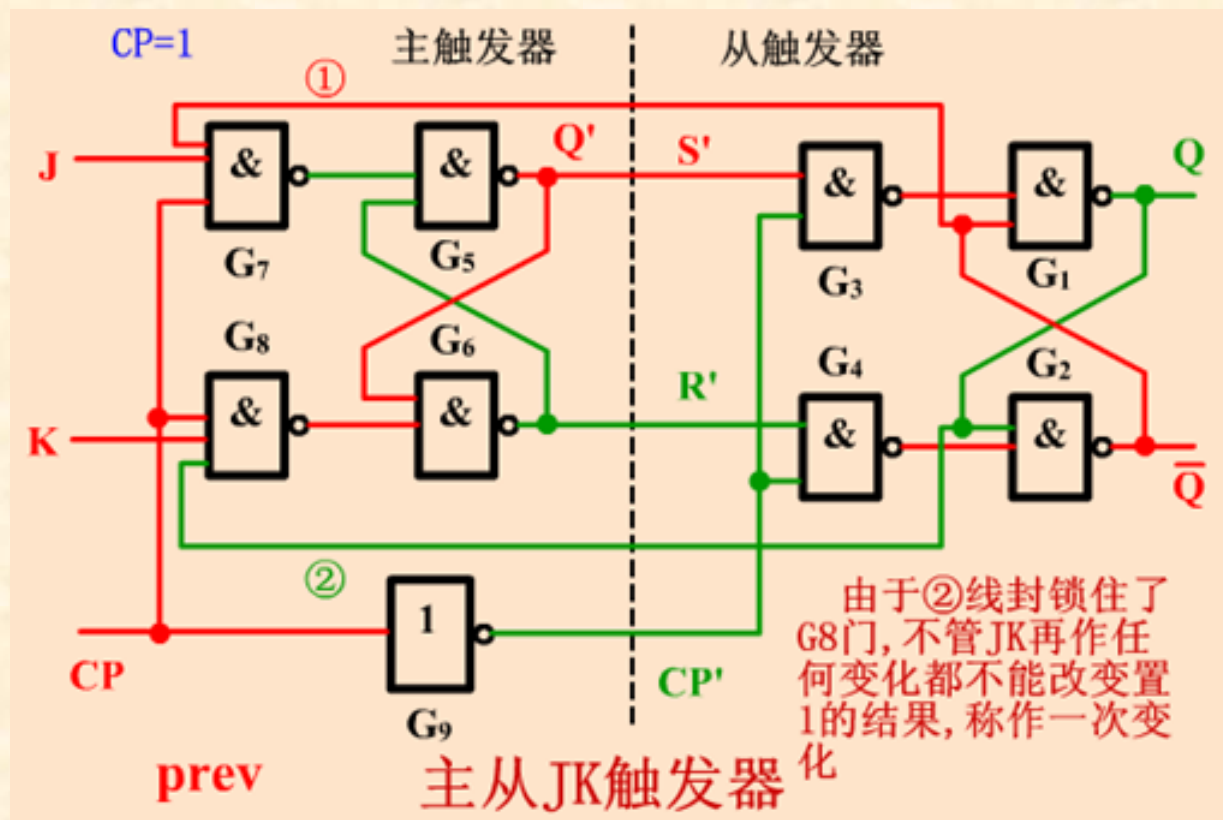
最后的输出是CP=1最后一次变化的结果。





2.主从JK触发器

JK触发器解决了RS存在约束条件的问题。



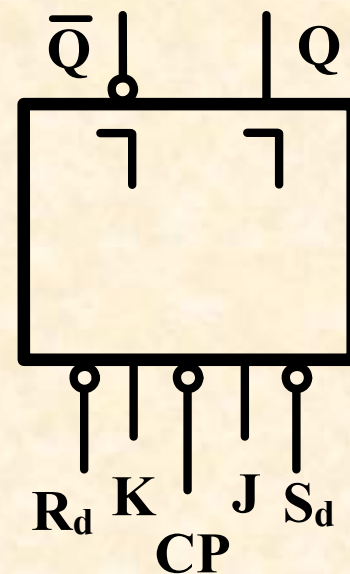
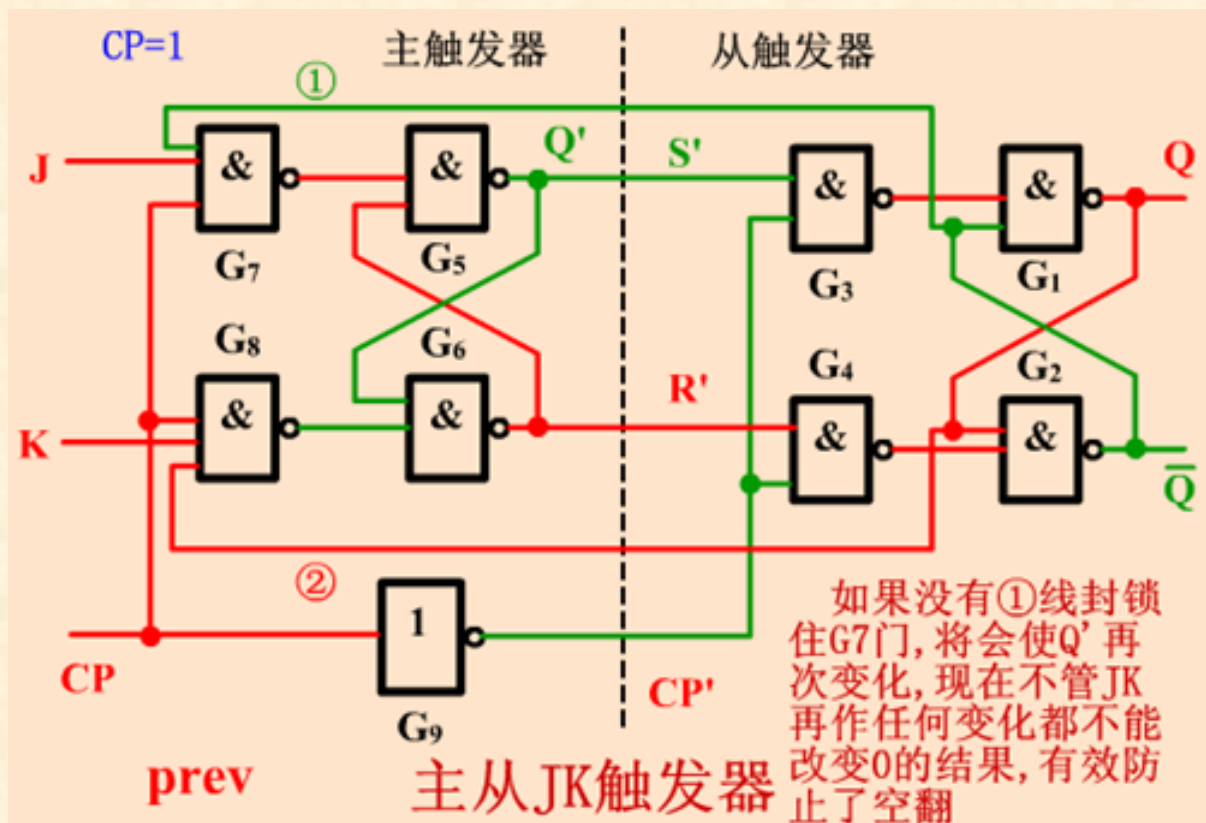
JK触发器有四种功能: 置0, 置1, 保持和翻转。





2.主从JK触发器

JK触发器解决了RS存在约束条件的问题。



JK触发器有四种功能：置0，置1，保持和翻转。





为了减少触发器接收干扰的机会，宜采用正向窄脉冲。





4.2.3边沿触发的触发器

数字集成电路产品中的边沿触发器有**CMOS**边沿触发器、利用门电路传输延迟时间的边沿触发器、维持阻塞型触发器等多种形式。

边沿触发器的次态仅取决于**CP**脉冲上升沿(或下降沿)到达时刻输入信号的状态，而在**CP**其他时刻输入信号的变化对触发器状态均无影响。因此增强了电路的抗干扰能力，提高了触发器的可靠性。

如果能将时钟触发器所加时钟脉冲宽度设置得非常窄,则这时的时钟触发器表现出的特性与边沿触发器完全一致。

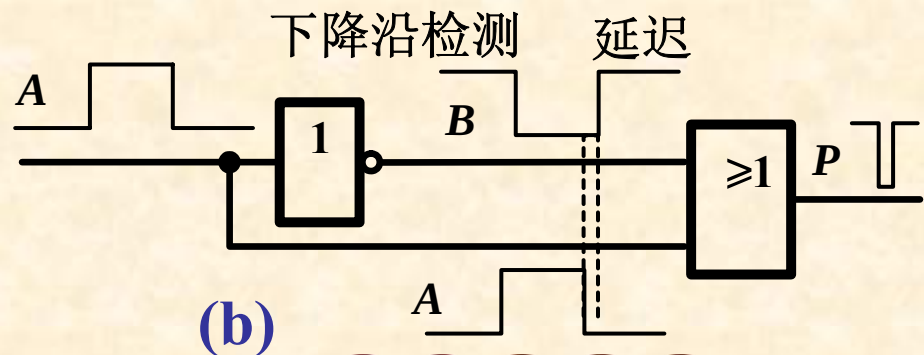
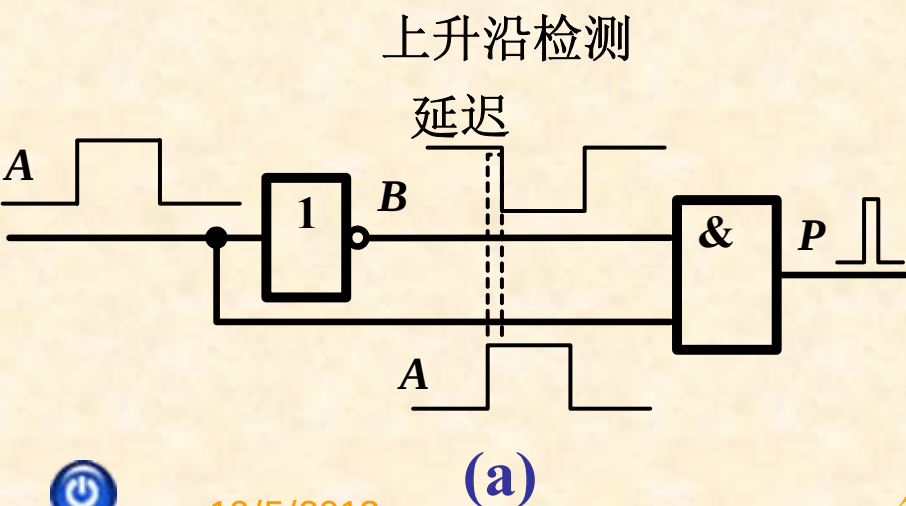


脉冲转换检测电路

电路(a)能检测出输入脉冲的上升沿立即在输出端发出窄的正脉冲信号，称作**脉冲上升沿检测电路**。

电路(b)能检测出输入脉冲的下降沿立即在输出端发出窄的负脉冲信号，称作**脉冲下降沿检测电路**。

时钟触发器添加脉冲检测电路及非门就能构成边沿触发器。

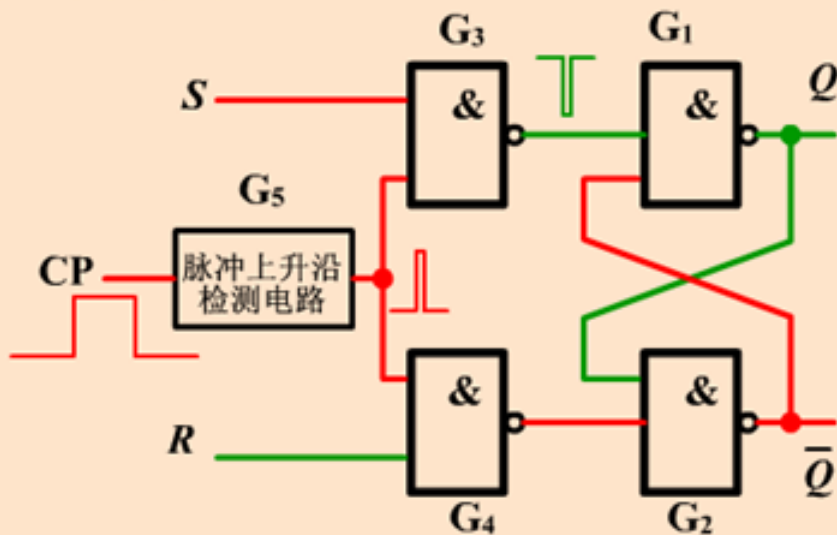




上升沿触发的边沿RS触发器

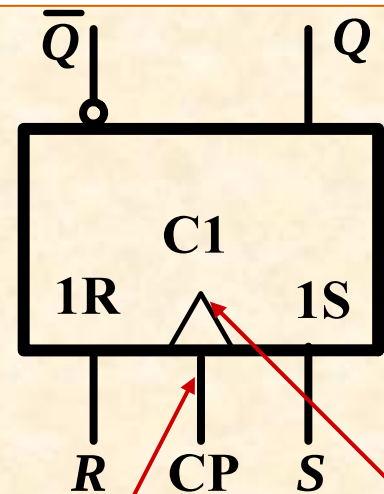
在同步RS触发器的CP输入端，增加前页(a)图所示的脉冲上升沿检测电路，则可使门控电路的时钟控制信号维持高电平的时间很短，把原来的电平触发转换为边沿触发，从而提高了触发器的抗干扰能力。

CP由0变为1, G5输出正的窄脉冲, G3输出负的窄脉冲



prev

边沿RS触发器的置1置0过程



上升沿触发

边沿触发





下降沿触发的边沿RS触发器

在同步RS触发器的CP输入端，增加前页(b)图所示的脉冲下降沿检测电路及非门，则可构成下降沿触发的边沿RS触发器。

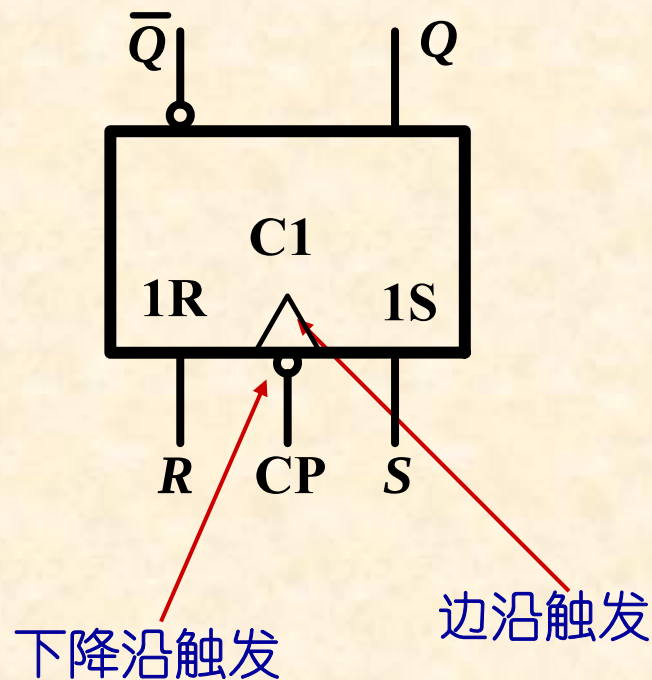
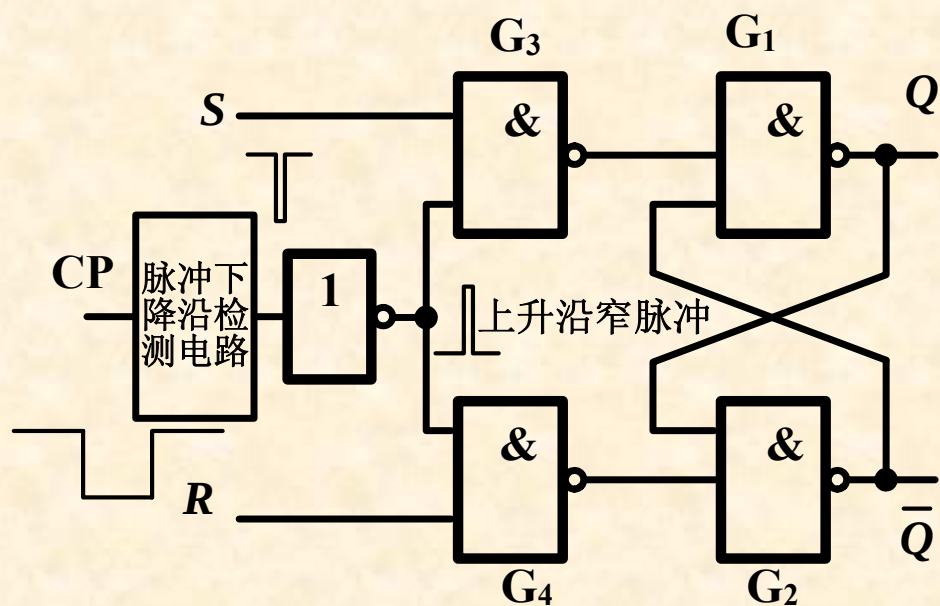


图4-17(b)



上升沿触发的边沿JK触发器

在同步JK触发器的CP输入端，增加脉冲上升沿检测电路，就构成了上升沿触发的边沿JK触发器。

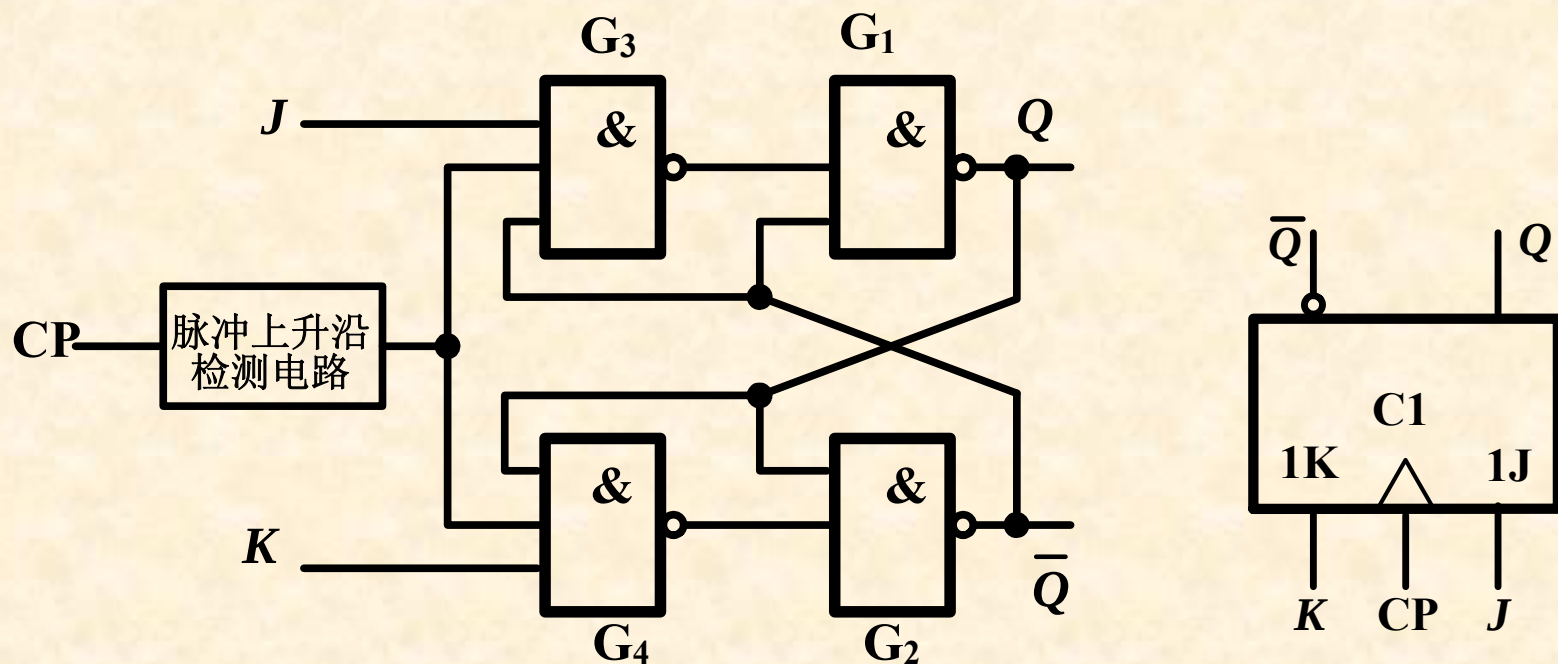
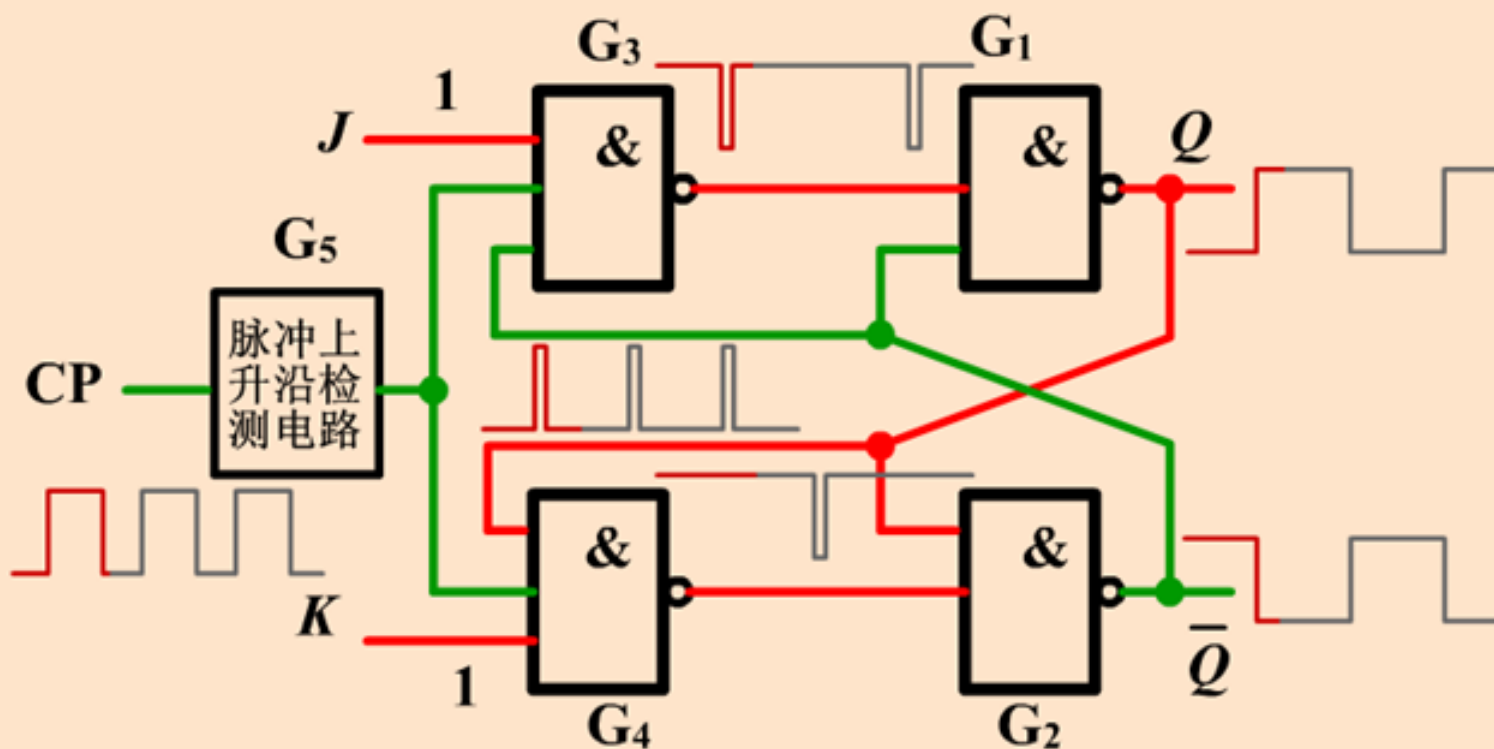


图4-18



边沿JK触发器J=K=1的讨论

Q跳变为1→Q'跳变为0→G3回到1, G5=0, 即便CP=1, 不会引起再次翻转



prev

边沿JK触发器翻转工作情况

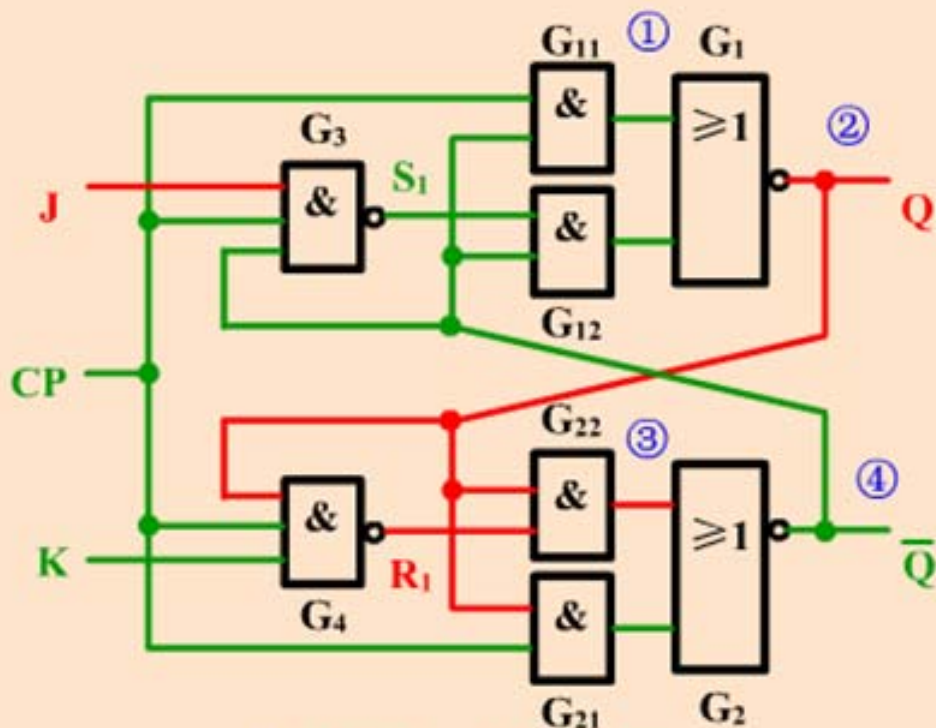




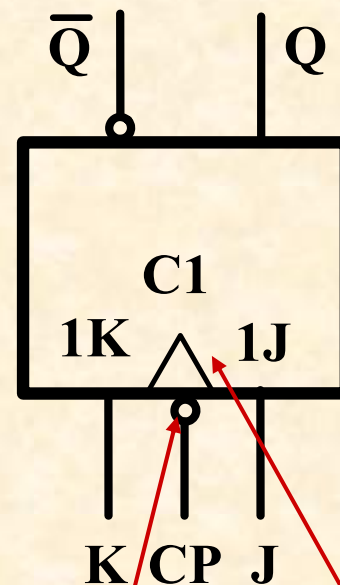
4.2.4利用门电路传输延迟时间的边沿触发器

利用门电路传输延迟时间的差异完成边沿触发。

CP下降沿到达, 门11, 21被封锁, 门3, 4传输较慢, S1, R1还未变化, 瞬间使 $Q=1, Q'=0$



prev ▶ 边沿JK触发器



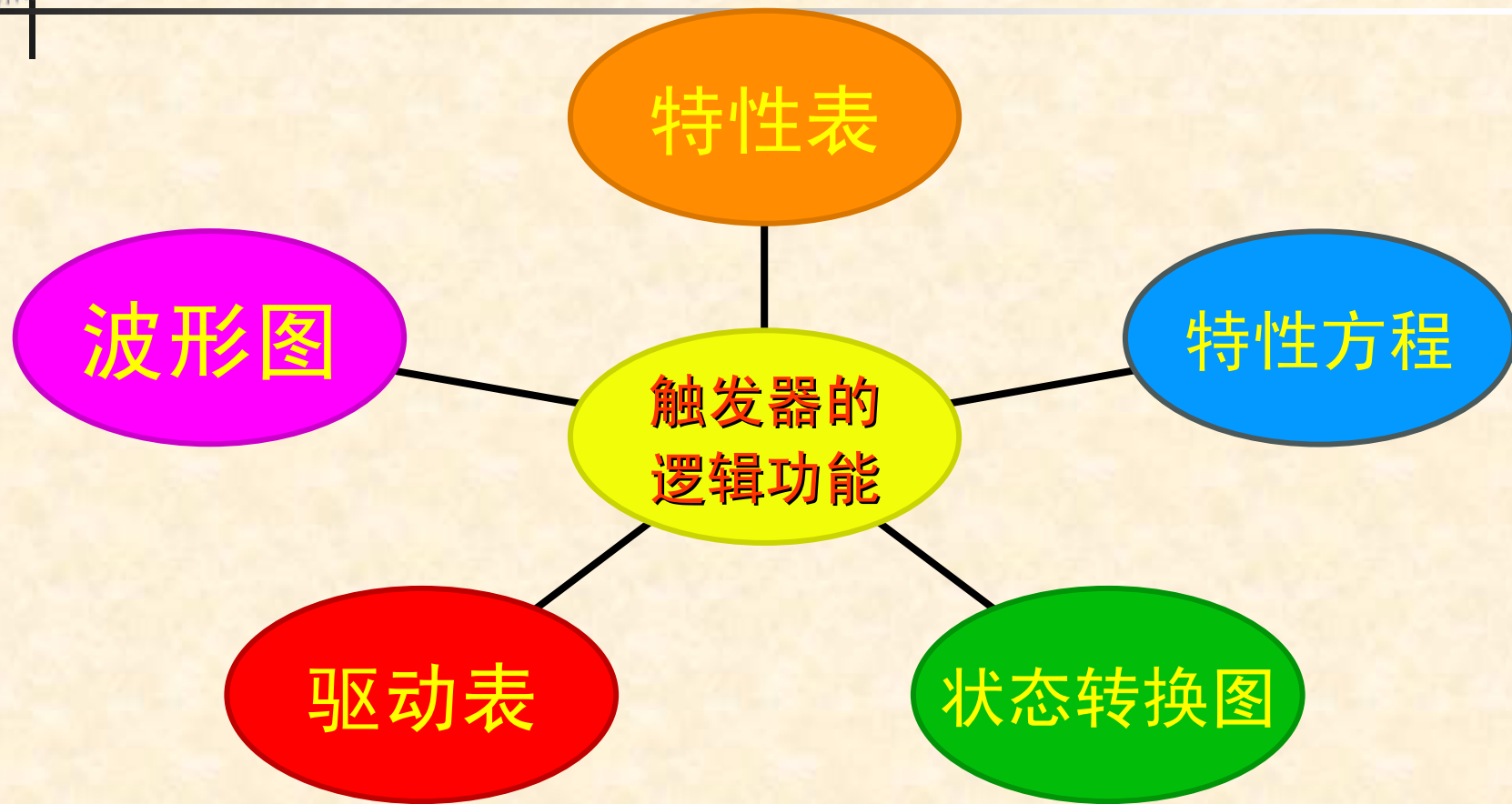
下降沿触发

边沿触发





4.3 触发器的逻辑功能及其描述



触发器的逻辑功能的描述。各种描述方法的形式不同，但所反映的逻辑功能本质是相同的，且各种描述方式可互相转换。



4.3.1 RS触发器

无论采用什么电路结构,特性方程如下的触发器都称为**RS**触发器

$$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ RS = 0 \quad \text{约束条件} \end{cases}$$



RS触发器的特性表

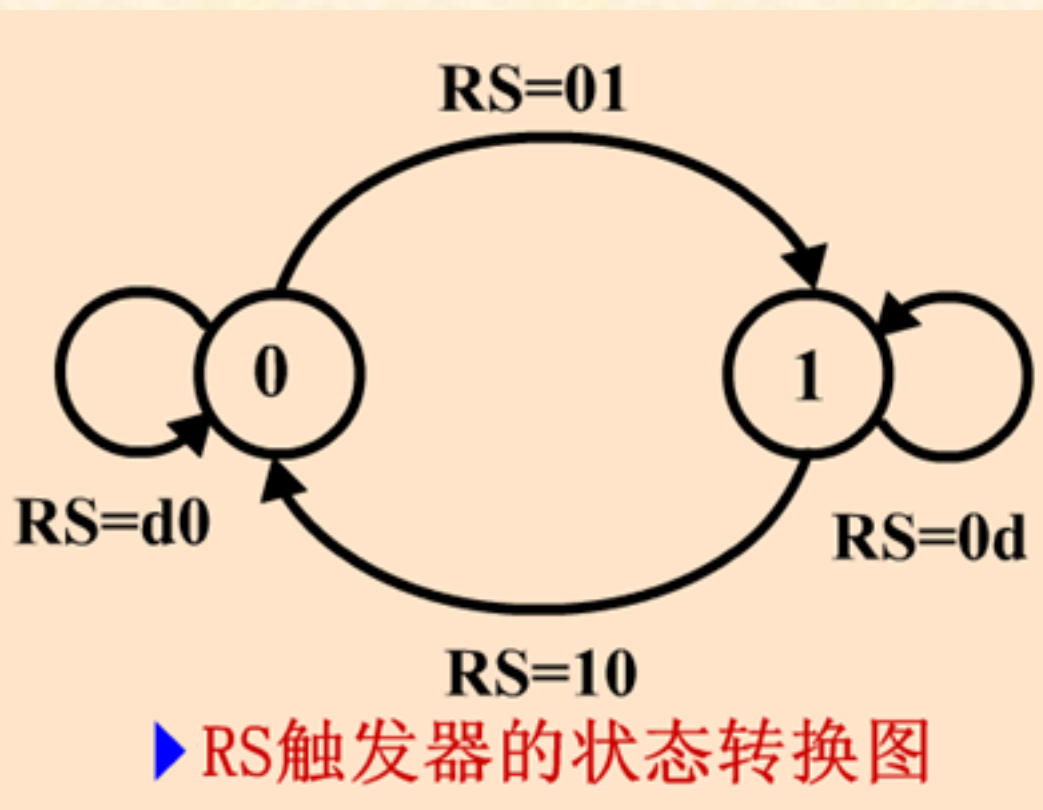
特性表以表格形式反映RS触发器的逻辑功能

S	R	Q^n	Q^{n+1}	说明
0	0	0	0	输出状态不变
0	0	1	1	
0	1	0	0	输出状态为 0
0	1	1	0	
1	0	0	1	输出状态为 1
1	0	1	1	
1	1	0	1*	约束状态
1	1	1	1*	



状态转换图

状态转换图可直观地表示触发器由现态向次态转换的方向及条件。可由特性表或特性方程画出。





驱动表

驱动表又称激励表，它表明触发器由现态 Q^n 转换到次态 Q^{n+1} 时，对应S、R端所要求的输入状态。可由其特性方程或者状态转换图做出。

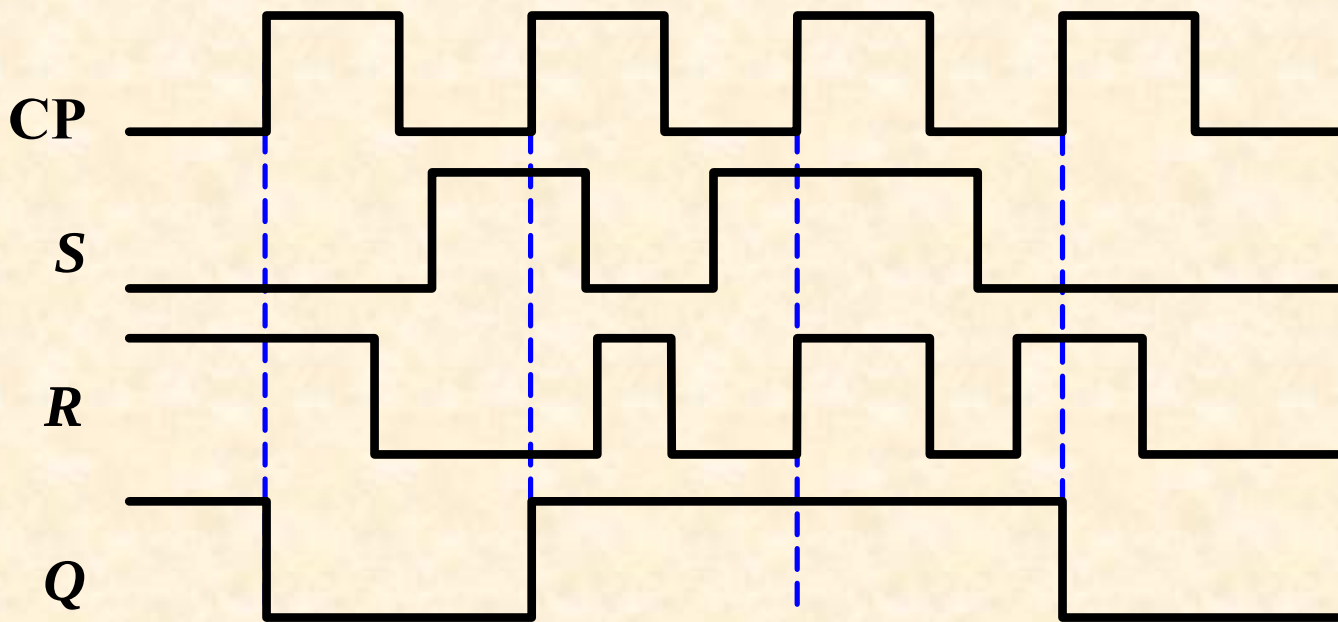
RS触发器的驱动表

Q^n	Q^{n+1}	S	R
0	0	0	x
0	1	1	0
1	0	0	1
1	1	X	0



时序图

对于给定的输入信号，在时钟脉冲序列的作用下，触发器状态随时间变化的波形图叫做时序图。可用来分析包含 t_{pd} 后细微变化



上升沿触发的RS触发器的时序图



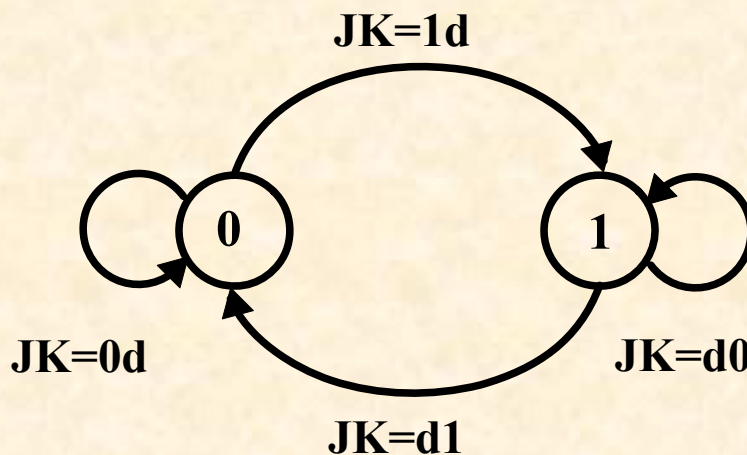
4.3.2 JK触发器

JK触发器的特性方程

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

特性表

J	K	Q^n	Q^{n+1}	说明
0	0	0	0	输出状态不变
0	0	1	1	
0	1	0	0	输出状态为 0
0	1	1	0	
1	0	0	1	输出状态为 1
1	0	1	1	
1	1	0	1	每输入 1 个时钟脉冲 状态改变 1 次
1	1	1	0	



状态转换图



4.3.3 D触发器

如果在S与R输入端之间增加一个非门，原R信号通过S经非门得到，S端改称为D端，构成D触发器。

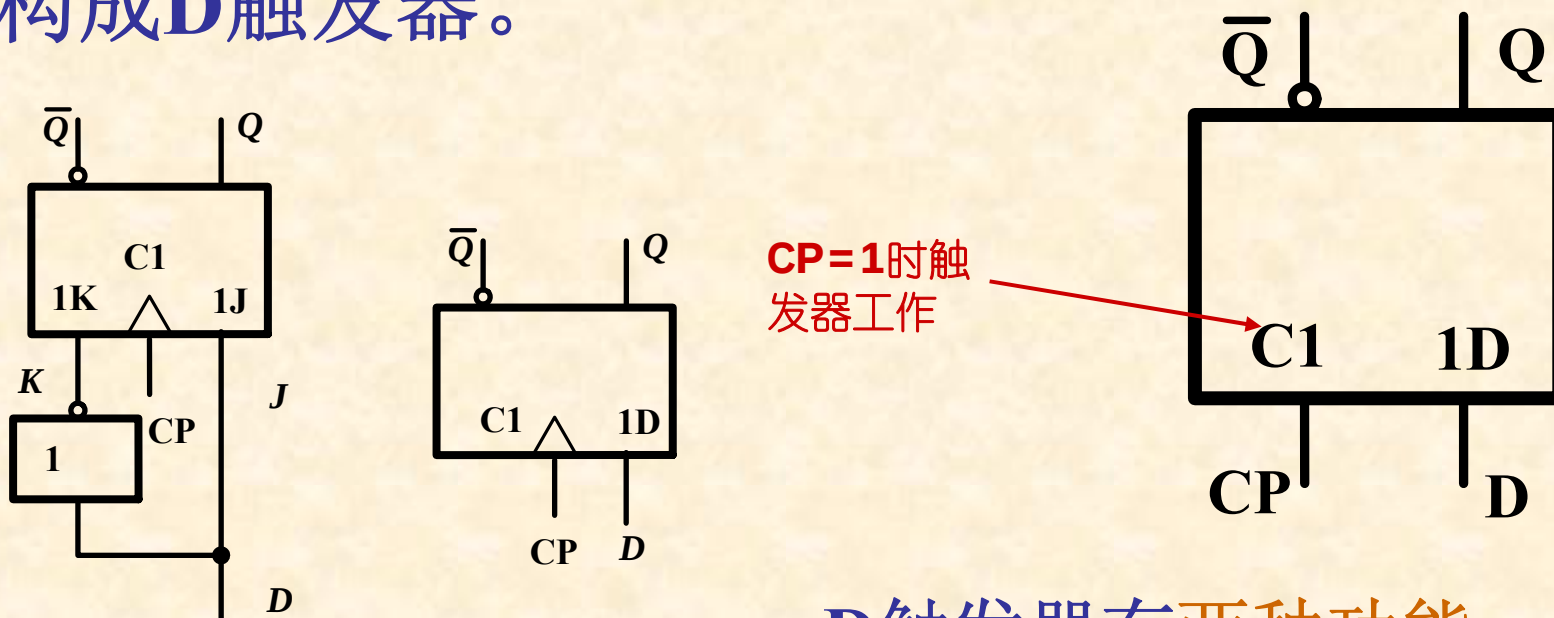


图4-25

D触发器有两种功能：
置0和置1



D触发器的功能描述

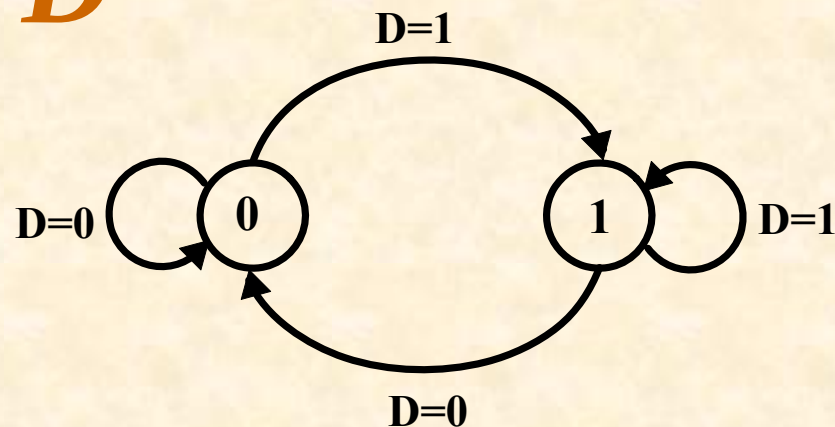
将 $J=D$ ， $K=\bar{D}$ 代入JK触发器的特性方程，可直接求出D触发器的特性方程

$$Q^{n+1} = D\bar{Q}^n + \bar{D}Q^n = D(\bar{Q}^n + Q^n) = D$$

$$Q^{n+1} = D$$

特性表

CP	D	Q^n	Q^{n+1}	说明
0	x	0	0	保持原状态不变
0	x	1	1	
1	0	0	0	置 0
1	0	1	0	
1	1	0	1	置 1
1	1	1	1	



状态转换图



4.3.4 T触发器

将JK输入端连接在一起，并用T作为输入控制信号，便得到了T触发器。令J=K=T，T触发器的特性方程为：

$$Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$$

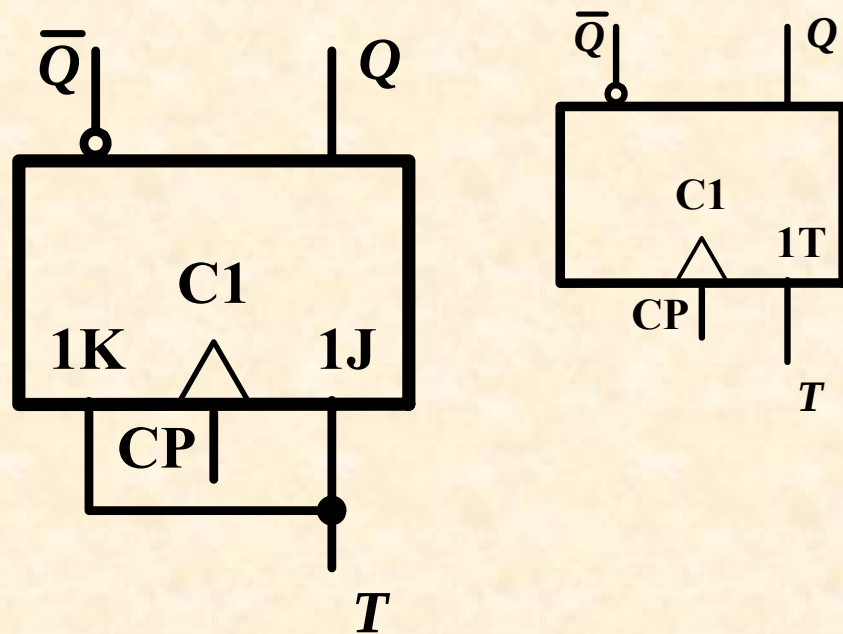


图4-28

T触发器有2种功能：保持和翻转

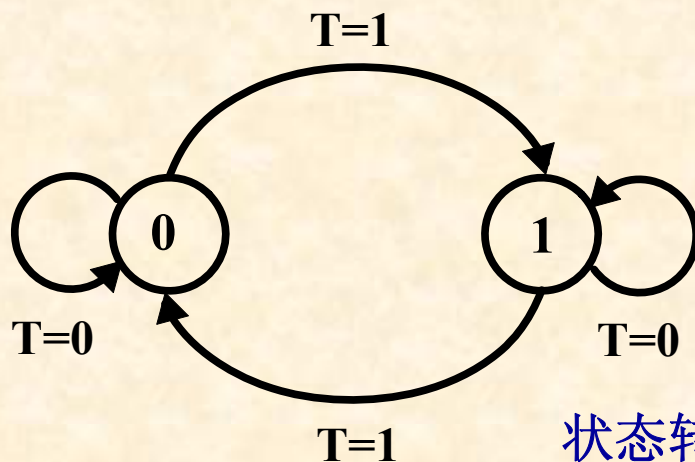




T触发器的特性表和状态转换图

特性表

T	Q^n	Q^{n+1}	说 明
0	0	0	$Q^{n+1} = Q^n$
0	1	1	
1	0	1	$Q^{n+1} = \overline{Q}^n$
1	1	0	

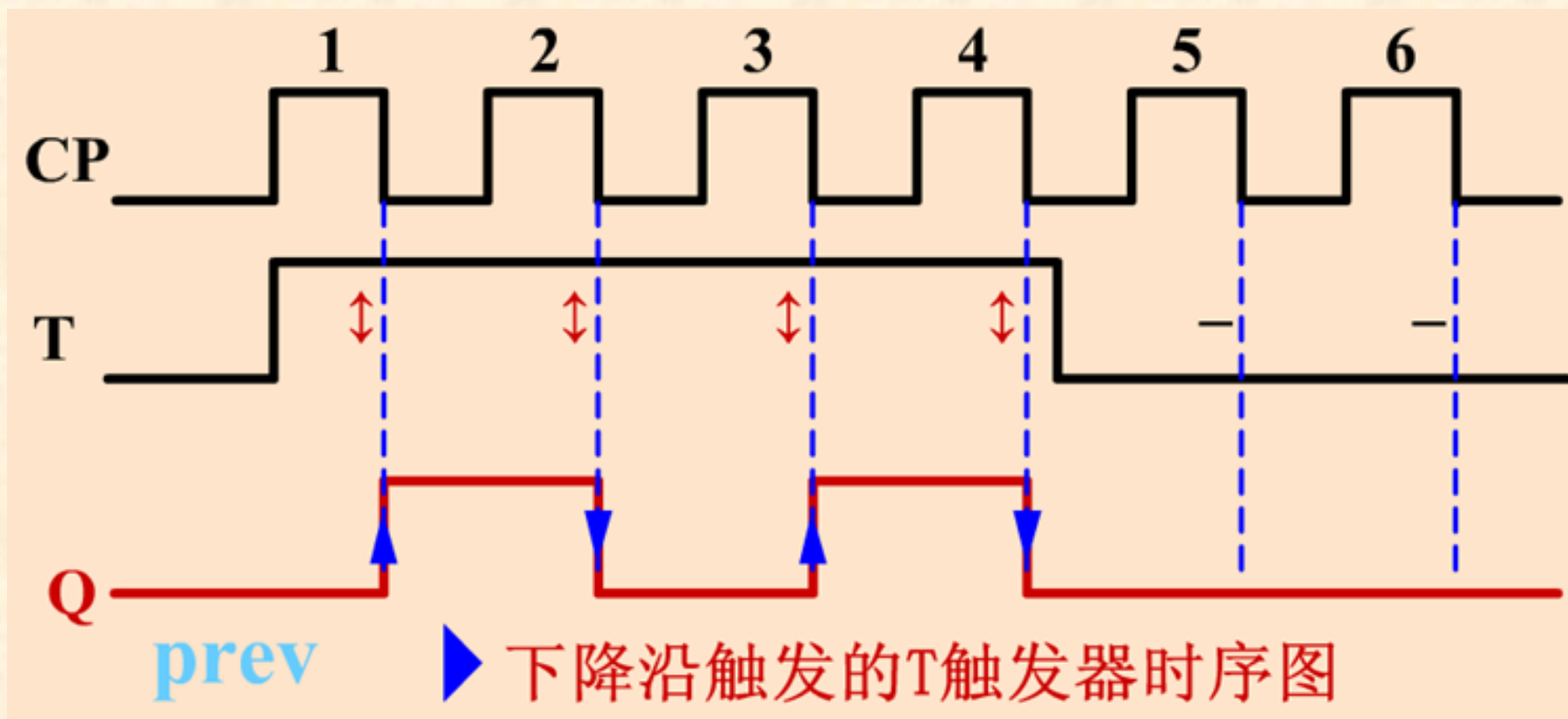


状态转换图



例4.7

下降沿触发的T触发器CP、T的输入信号波形如图所示，试画出Q端的波形。Q的初始态为0。





4.4 触发器的动态工作特性

触发器是构成时序逻辑电路的基本单元电路，逻辑功能描述了其静态特性，动作特点体现了其结构特点。

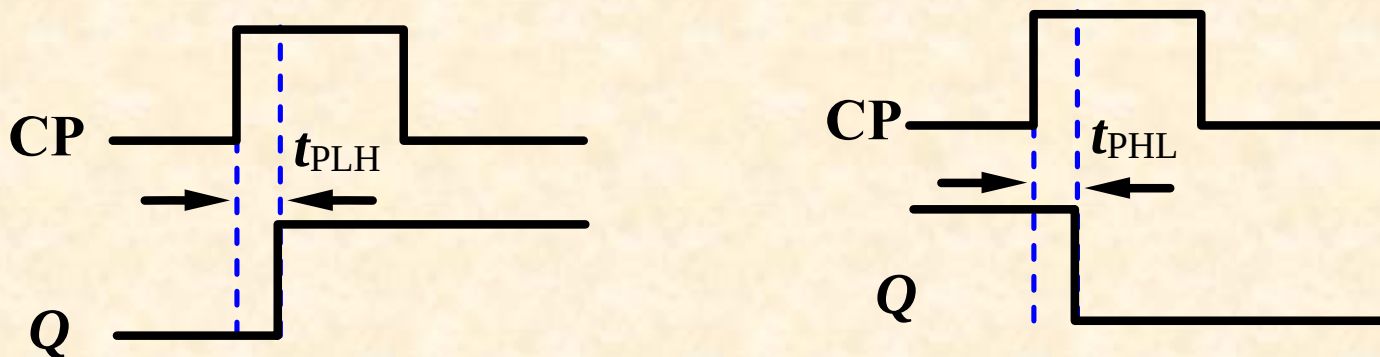
为保证可靠工作，对输入信号的特性提出了一定的要求，通过动态参数来规范。包括传输延迟时间、建立时间、保持时间、最大时钟频率等。触发器对时钟脉冲、输入信号之间的时间关系的要求称为触发器的脉冲工作特性。



4.4.1 传输延迟时间

在触发器的状态翻转过程中，涉及的传输延迟时间主要有四种情况，分别针对时钟脉冲和异步置位与复位。

- (1) 传输延迟 t_{PLH} ：从时钟脉冲的触发边沿到触发器输出状态由低电平变为高电平所测得的时间。
- (2) 传输延迟 t_{PHL} ：从时钟脉冲的触发边沿到触发器输出状态由高电平变为低电平所测得的时间。

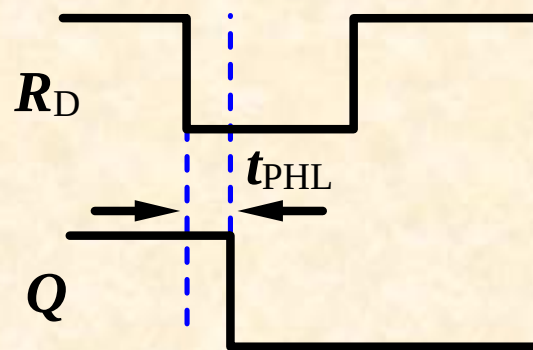
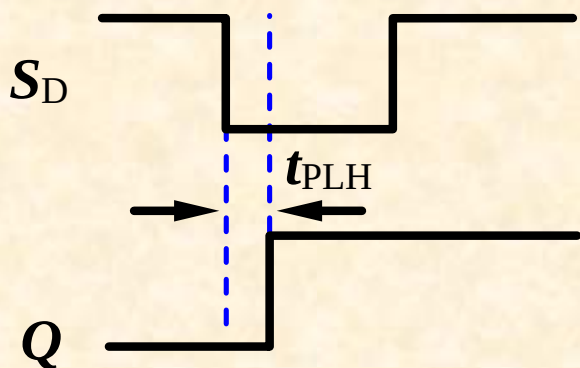




传输延迟时间

(3) 传输延迟 t_{PLH} : 从异步置位输入信号的前沿到触发器输出状态由低电平变为高电平所测得的时间。

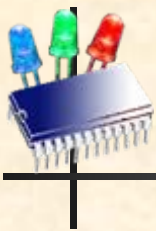
(4) 传输延迟 t_{PHL} : 从异步复位输入信号的前沿到触发器输出状态由高电平变为低电平所测得的时间。





4.4.2 建立时间

建立时间 t_{set} 是指输入信号先于时钟脉冲触发沿到达所需要的最小时间间隔。在此时间里输入信号的逻辑电平保持不变，这样就使得输入电平可靠地按时序进入触发器。



建立时间 t_{set} 示例

如果以上升沿触发的D触发器为例，建立时间如图4.34所示，为了数据可靠进入触发器，在时钟脉冲上升沿到来之前，D输入的逻辑电平提前出现的时间必须不小于 t_{set} 。

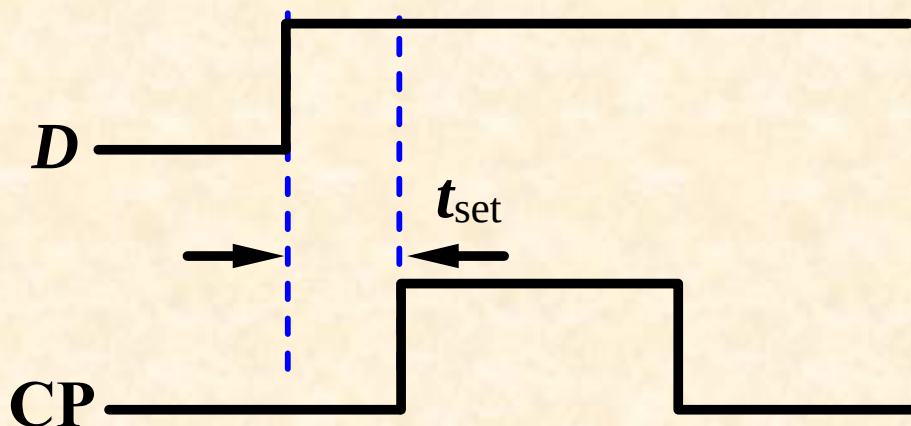


图4-34



4.4.3 保持时间

保持时间 t_H 是指在时钟脉冲触发边沿到达之后，输入信号的逻辑电平需要保持的最小时间间隔，以使输入电平可靠地按时序进入触发器。如果以上升沿触发的D触发器为例，保持时间如图4.35所示，为了数据可靠进入触发器，在时钟脉冲上升沿到来之后，D输入端的逻辑电平必须保持的时间应不小于 t_H 。



保持时间示例

如果以上升沿触发的D触发器为例，保持时间如图4. 35所示，为了数据可靠进入触发器，在时钟脉冲上升沿到来之后，D输入端的逻辑电平必须保持的时间应不小于 t_H 。

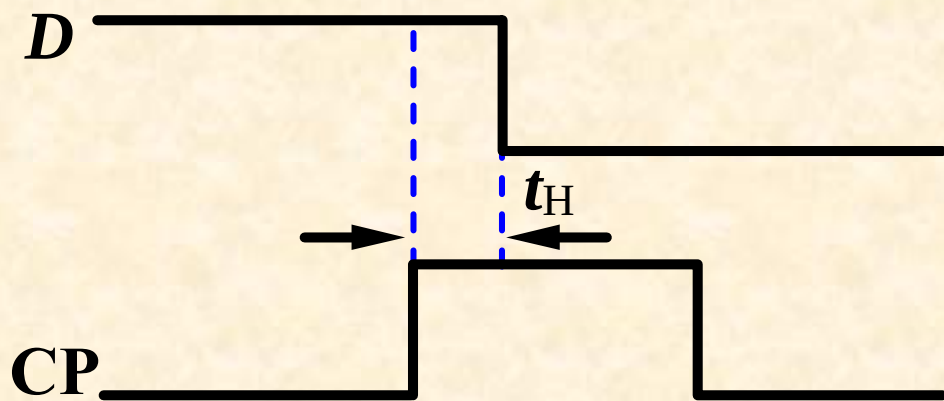


图4-35



4.4.4 最大时钟频率

最大时钟频率 $f_{\max}$ 是指触发器能够可靠触发的最高速度。如果触发器的输入时钟脉冲频率大于 $f_{\max}$ ，则触发器将不能足够快地做出响应，并且可能造成逻辑功能混乱。

触发器的动态工作参数与其电路结构密切相关，实际应用中应注意查阅器件手册给出的典型值。表4.9提供了4个同类型的CMOS和TTL D触发器的比较，以便使读者对上述参数有一个定量的了解。



动态工作特性参数

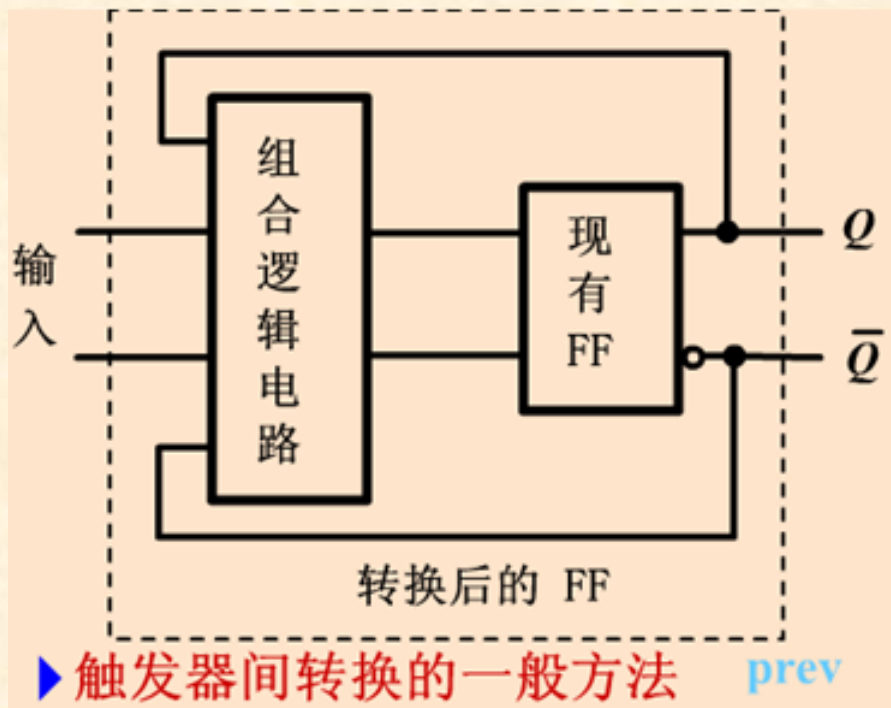
表4.9 D触发器的4个系列在25℃时动态参数的比较

参数	CMOS		TTL	
	74HC74A	74AHC74	74LS74A	74F74
t_{PLH}	17ns	4.6ns	40ns	6.8ns
t_{PHL}	17ns	4.6ns	25ns	8.0ns
t_{PLH}	18ns	4.8ns	40ns	9.0ns
t_{PHL}	18ns	4.8ns	25ns	6.1ns
t_{set}	14ns	5.0ns	20ns	2.0ns
t_H	3.0ns	0.5ns	5.0ns	1.0ns
f_{max}	35MHz	170MHz	25MHz	100MHz



4.* 触发器之间的转换

常用的触发器有5种类型，但它们并没有全部形成集成电路产品。在实际电路设计中，如果碰到需要的触发器类型缺少时，可以通过触发器的转换方法，将其他现有的触发器转换为需要的触发器。



转换步骤

- 1、写出原触发器特性方程
- 2、写出目标触发器特性方程
- 3、比较特性方程，将原触发器的输入作为目标触发器输入的函数（驱动方程）
- 4、按此函数完成组合电路或连接



*.1 用JK触发器实现其他类型触发器

1.用JK 触发器实现D 触发器

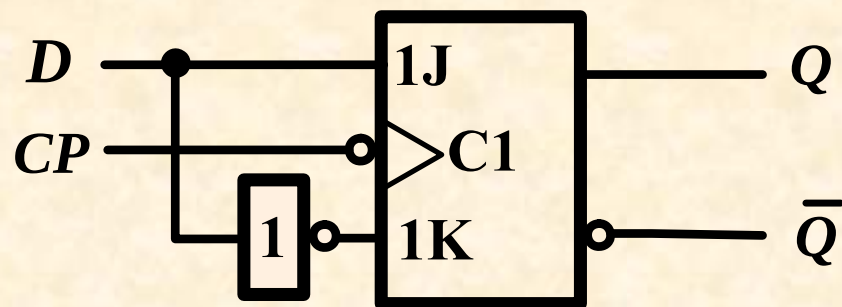
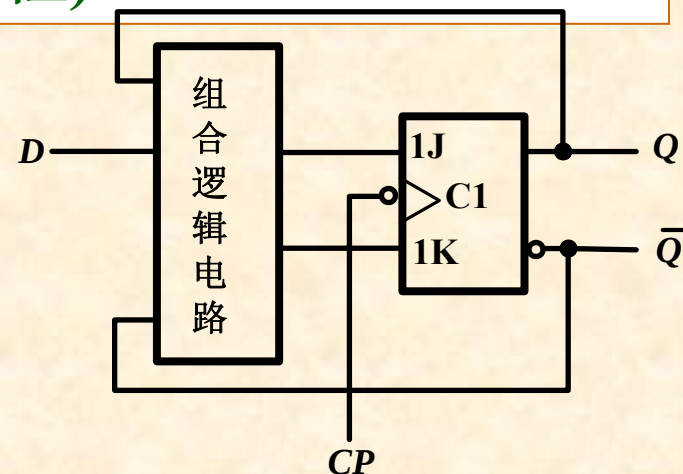
对照JK 和D 触发器的特性方程可得到组合逻辑电路的输出表达式(即JK 输入端的驱动方程)

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

$$Q^{n+1} = D(\bar{Q}^n + Q^n)$$

$$J = D, \quad K = \bar{D}$$

根据式根据驱动方程画出用JK 触发器实现的D 触发器电路





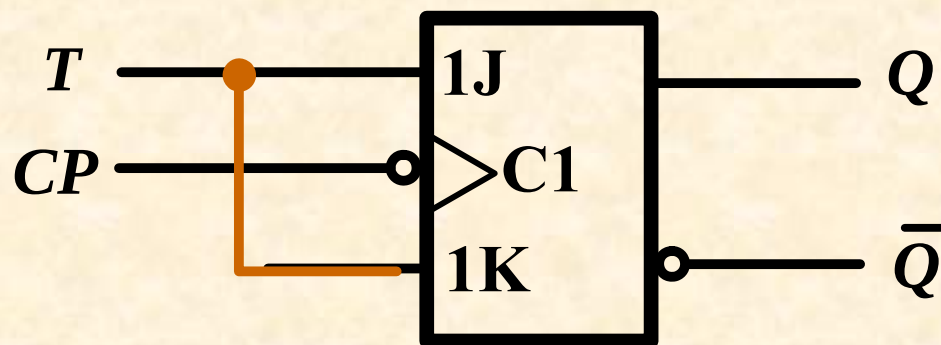
2. 用JK触发器实现T触发器

对照JK 和T 触发器的特性方程可得到JK 输入端的驱动方程

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

$$Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$$

$$J = K = T$$



根据式根据驱动方程画出用JK 触发器实现的T 触发器电路



3. 用JK触发器实现T'触发器

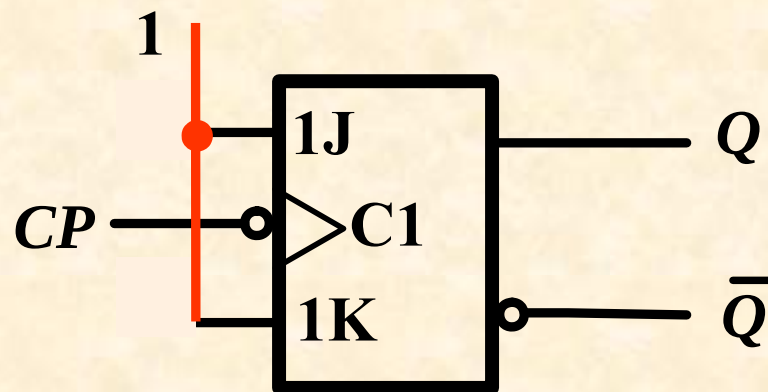
对照JK 和T' 触发器的特性方程可得到JK 输入端的驱动方程

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

$$Q^{n+1} = \bar{Q}^n = 1 \cdot \bar{Q}^n + \bar{1} \cdot Q^n$$

$$J = K = 1$$

根据式根据驱动方程画出用JK
触发器实现的T' 触发器电路





*.2 用D触发器实现其他类型触发器

1.用D 触发器实现JK 触发器

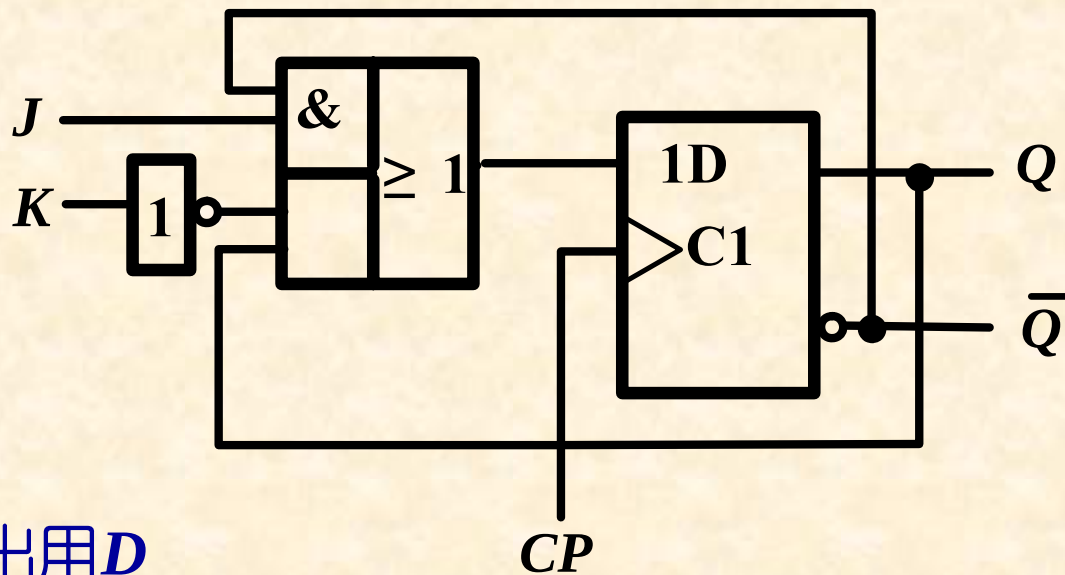
对照D 和JK 触发器的特性方程可得到D 输入端的驱动方程

$$Q^{n+1} = D$$

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

$$D = J\bar{Q}^n + \bar{K}Q^n$$

根据式根据驱动方程画出用D
触发器实现的JK 触发器电路





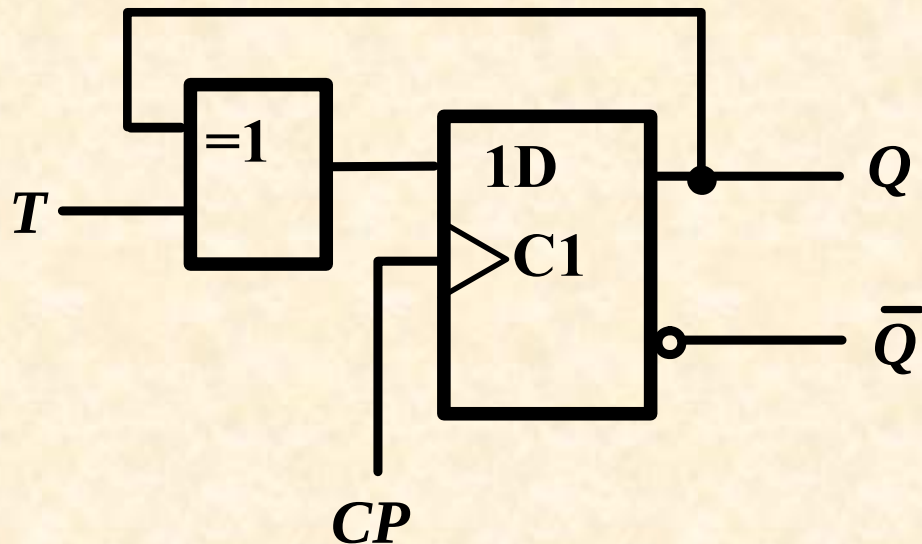
2.用D 触发器实现T 触发器

方法1：对照D 和T 触发器的特性方程可得到D 输入端的驱动方程

$$Q^{n+1} = D \quad Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$$

$$D = T\bar{Q}^n + \bar{T}Q^n = T \oplus Q^n$$

根据式根据驱动方程画出用D 触发器实现的T 触发器电路





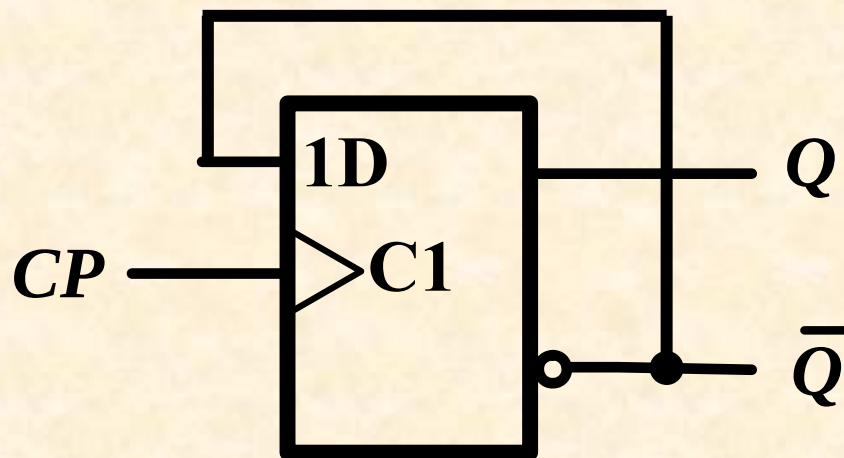
3.用D 触发器实现T' 触发器

对照D 和T'触发器的特性方程可得到D 输入端的驱动方程

$$Q^{n+1} = D$$

$$Q^{n+1} = \overline{Q}^n$$

$$D = \overline{Q}^n$$



根据式根据驱动方程画出用D
触发器实现的T'触发器电路



本章小结

- (1) 触发器是时序逻辑电路基本逻辑单元。每个触发器能够存储一位二进制数码。
- (2) 触发器按逻辑功能分类可有RS触发器、JK触发器、D触发器、T触发器和T'触发器。其逻辑功能可用状态表、特性方程、状态图、逻辑符号、波形图和硬件描述语言来描述。
- (3) 触发器按电路结构分类有基本RS触发器、同步触发器、主从触发器和边沿触发器。它们的触发方式不同，有高电平 $CP=1$ 、低电平 $CP=0$ 、上升沿和下降沿四种触发形式。



小结续

- (4) 在使用触发器时，要注意触发方式及逻辑功能。如同步触发器在 $CP=1$ 时触发翻转，属于电平触发，有空翻现象。主从触发器和边沿触发器的触发翻转虽然都发生在脉冲跳变时，但对输入信号的输入时间要求不同，如果是负跳变触发的主从触发器，输入信号必须在脉冲正跳变前加入，而边沿触发器可以在触发沿到来前加入信号。
- (5) 同一电路结构可构成不同逻辑功能的触发器，同一逻辑功能的触发器可用不同的电路结构实现。